

# International Technology Roadmap for Semiconductors



**STRJ Work Shop**  
**March 4 – 5, 2004**  
フロラション青山

The ITRS is devised and intended for technology assessment only and is without regard to any commercial considerations pertaining to individual products or equipment.

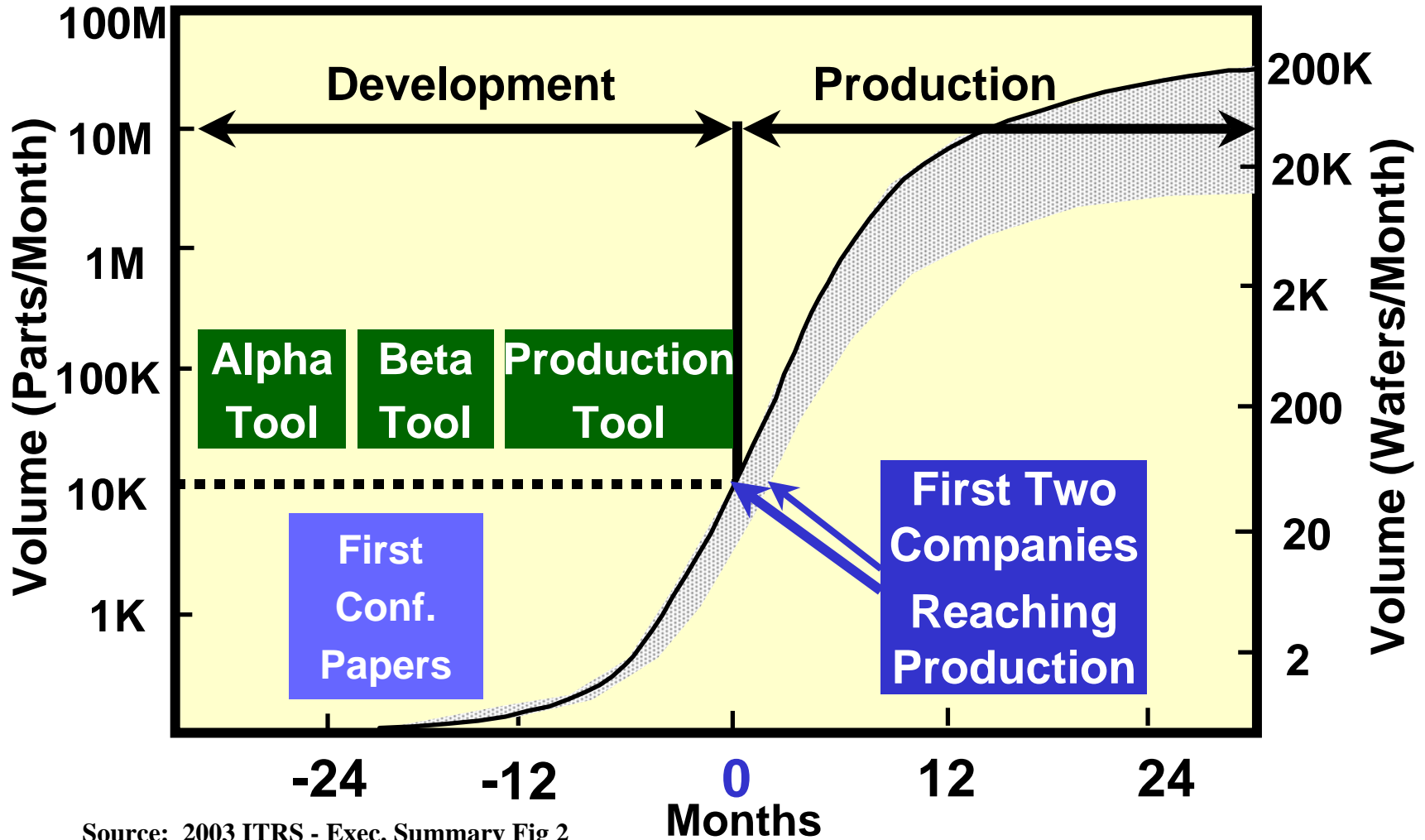
# 2003 ITRSの概要

## 内容

- はじめに
- リソグラフィ(Lithography)
- プロセス・インテグレーション(PIDs)
- 前工程(FEP)
- 配線(Interconnect)
- 無線(Wireless)
- 新構造デバイス(Emerging Research Devices)

# Technology Nodes Definition and Timing

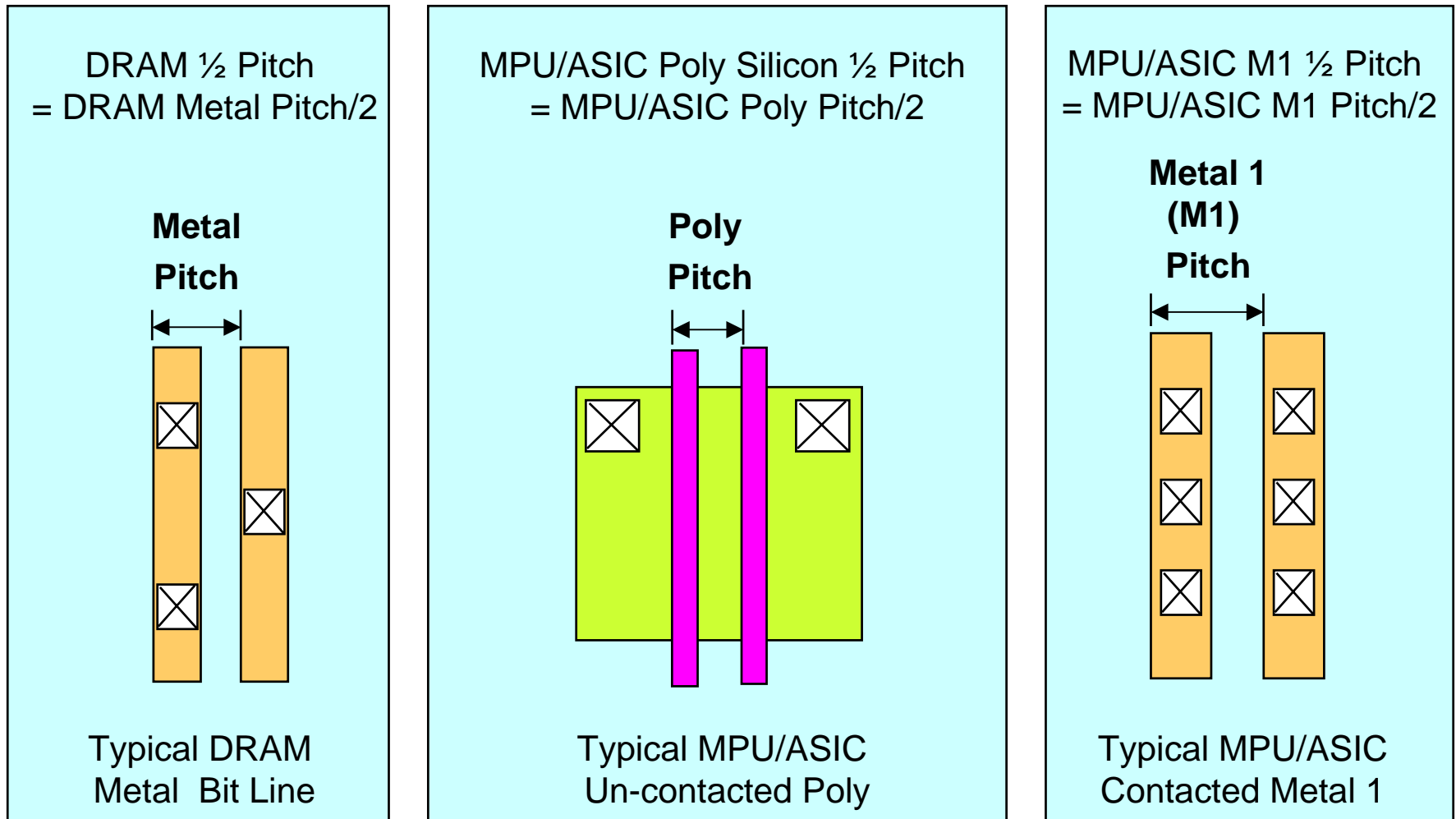
生産の立ち上がりのモデルとテクノロジーノードの関係



Source: 2003 ITRS - Exec. Summary Fig 2

# ハーフピッチの定義.

[DRAM ハーフピッチが 2003 ITRS “node”を決定する]



Source: 2003 ITRS - Exec. Summary Fig 4

# Technology Nodesは3年サイクルに

<i>Year of Production</i>	<i>2002</i> <i>[Actual]</i>	<u>2003</u>	<i>2004</i>	<u>2006</u>	<i>2007</i>	<u>2009</u>	<i>2010</i>	<u>2012</u>	<i>2013</i>	<u>2015</u>	<u>2016</u>	<u>2018</u>
<i>Technology Node (nm)</i>	<i>hp130</i>		<i>hp90</i>		<i>hp65</i>		<i>hp45</i>		<i>hp32</i>		<i>hp22</i>	



Source: 2003 ITRS - Exec. Summary  
Table C

## 2003 ITRS でのORTC Table ヘッダ

2003 ITRSのTechnology Node ヘッダ (\*\*2001/2002 ITRSと同じ):

	Near-Term							Long Term					Notes	
	2003	2004	2005	2006	2007	2008	2009	2010	2012	2013	2015	2016		2018
		hp90			hp65			hp45		hp32		hp22		**
DRAM Unchanged	100	90	80	70	65	57*	50*	45	35*	32	25*	22	18*	

その他のORTC技術トレンド (optional - use by TWG Tables as needed):

NEW Logic M1:	120	107	95	85	76	67	60	54	42	38	30	27	21	***
---------------	-----	-----	----	----	----	----	----	----	----	----	----	----	----	-----

下記は変わっていない:

MPU Pr. GL:	65	53	45	40	35	32*	28*	25	20*	18	15*	13	10*
MPU Ph GL:	45	37	32	28	25	22*	20*	18	14*	13	10*	9	7*

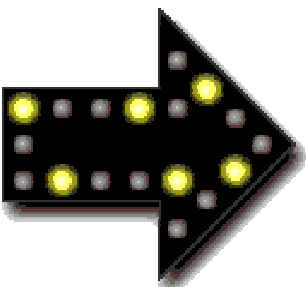
Pr. GL: フォトリソグラフィによるゲート長、 Ph. GL: エッチ後の物理的ゲート長

•2001 ITRSでは“Near Term”と“Long Term”に該当する年がなかったため見えなかった。

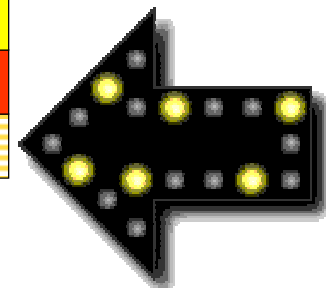
•\*\* DRAM Half-Pitch Nodeは2001と変わっていない, しかし、セルエリアファクタが 2003 ITRSではかなり遅延した。ノードタイミングの定義は 2001 ITRSと同じで 10Kユニット/月の生産時点である。生産用装置、材料が使われる。

\*\*\* Note: 2001 ITRSではLogic Half-Pitch (HP) は Un-contacted Logic Poly HP であった。2003 ITRSでは、Logic “Metal 1” (M1) が加えられた。これは、配線の “Local Wiring” Pitch/2 [120nm/2003, plus a 3-year target cycle trend]から採用されている。

# ITRS 技術課題の表示



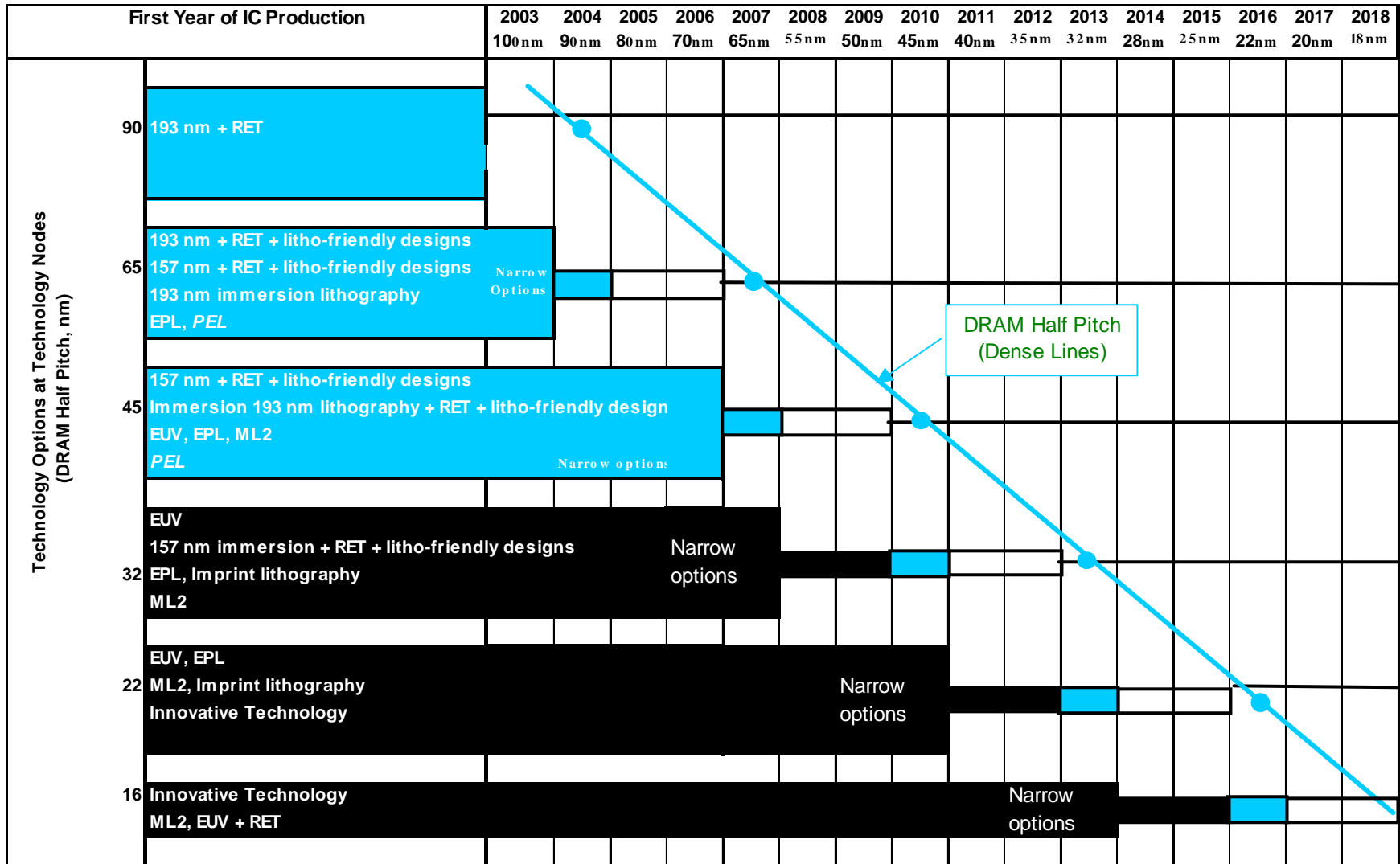
<i>Manufacturable Solutions Exist, and Are Being Optimized</i>	
<i>Manufacturable Solutions are Known</i>	Yellow
<i>Manufacturable Solutions are NOT Known</i>	Red
<i>Interim Solutions are Known</i>	Red diamond on yellow background



[New Slide]

# Lithography

## 技術解候補



ML2 = Maskless Lithography    EUV = Extreme Ultra Violet    PEL = Proximity Electron Lithography  
 EPL = Electron Projection Lithography    RET = Resolution Enhancement Technology

# 技術解候補

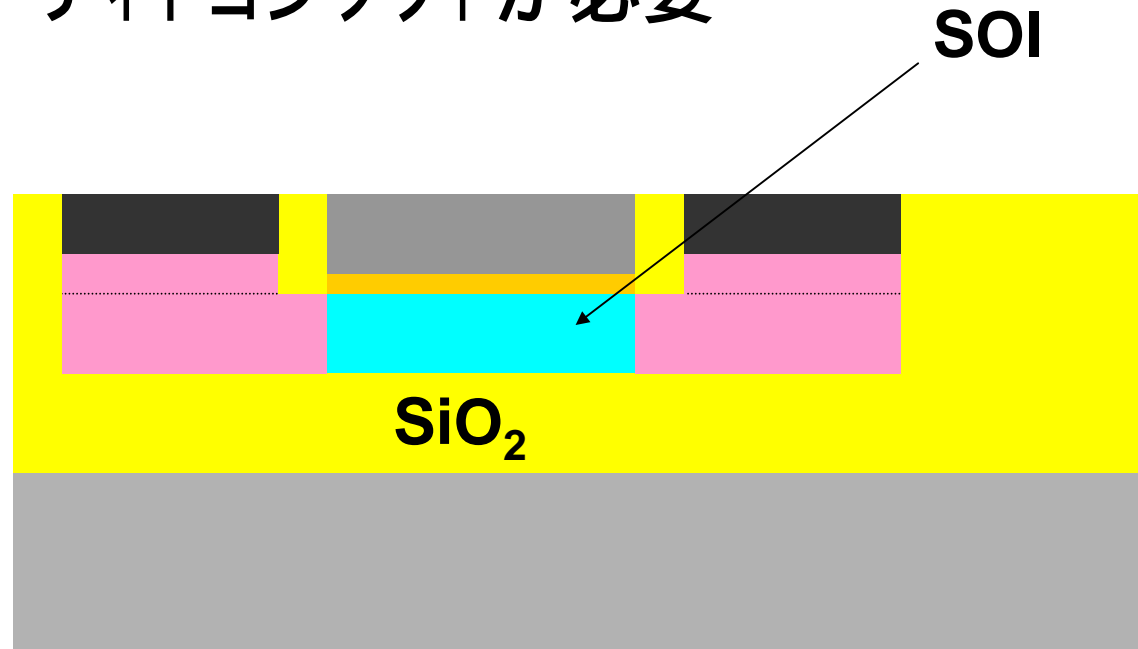
- 主要な変化.
  - 液浸リソグラフィ (Immersion lithography) が加わったためにリソは、65nmでの制限要因ではなく、45nmでもおそらく制限要因ではない。
  - F<sub>2</sub>、EUVが遅らされた。
  - X-ray と ion projection lithography は削除された。
  - インプリントリソグラフィ (Imprint lithography) が加えられた。





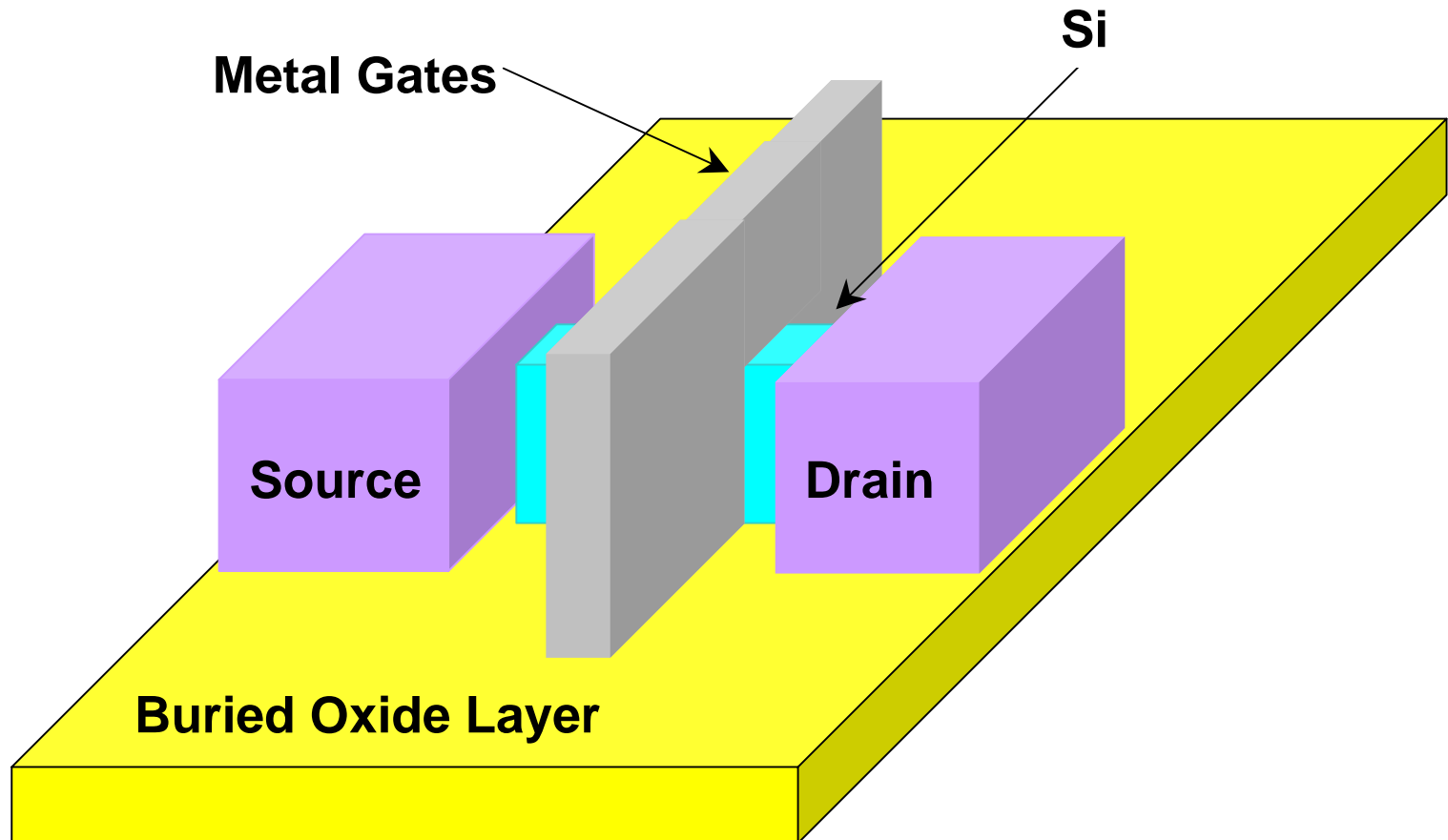
# MOSFETスケーリング ; 2008 - 2011

- プレーナ完全空乏 (Planar fully depleted ) SOI
  - Si膜厚は ゲート長 $L_{gate}$ の~0.4 程度
  - エレベータドコンタクトが必要



# MOSFETスケーリング ; 2012 - 2018

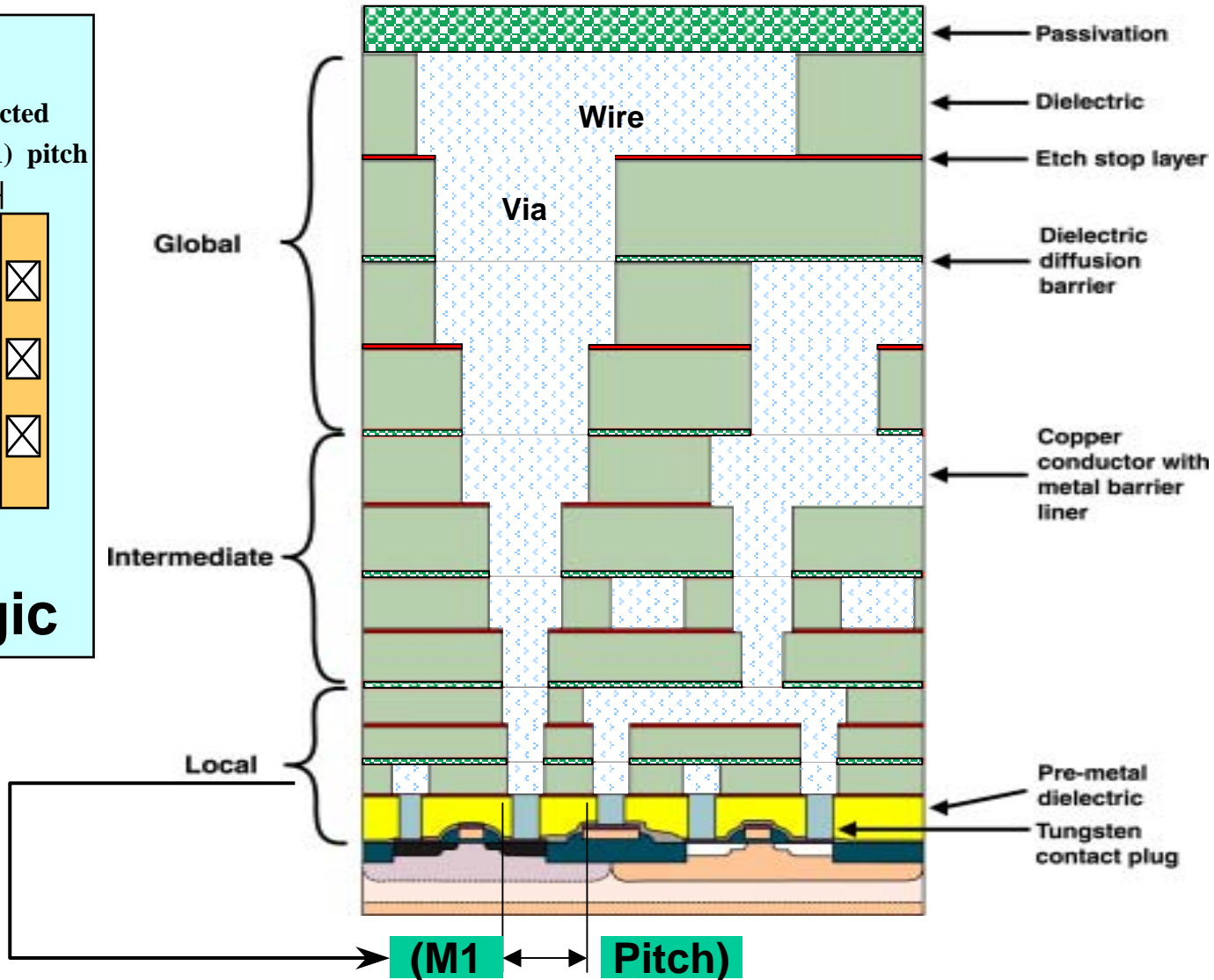
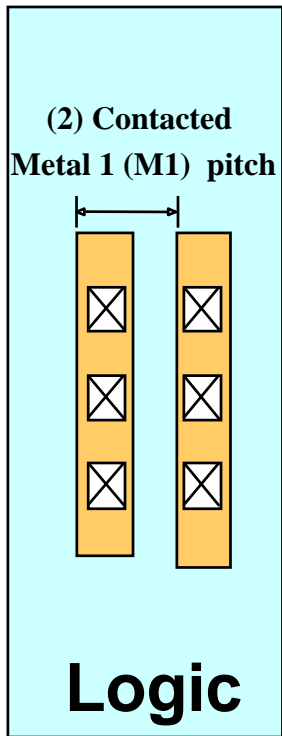
- **FinFET**





# Interconnect

## Typical Chip Cross Section



# MPU HP Near Term Years

	YEAR TECHNOLOGY NODE	2003	2004	2005	2006	2007	2008	2009
	<i>DRAM 1/2 PITCH (nm)</i>	<u>100</u>	<u>90</u>	<u>80</u>	<u>70</u>	<u>65</u>	<u>57</u>	<u>50</u>
Was	<i>MPU/ASIC 1/2 PITCH (nm)</i>	107	90	80	70	65	57	50
Is	<i>MPU/ASIC 1/2 PITCH (nm)</i>	120	107	95	85	76	67	60
Is	Number of metal levels	9	10	11	11	11	12	12
Is	<i>Metal 1 wiring pitch (nm)</i>	240	214	190	170	152	134	120
Was	Interlevel metal insulator (minimum expected) —effective dielectric constant ( $\kappa$ )	3.0– 3.6	2.6– 3.1	2.6– 3.1	2.6– 3.1	2.3– 2.7		
Is	Interlevel metal insulator (minimum expected) —effective dielectric constant ( $\kappa$ )	3.3– 3.6	3.1- 3.6	3.1- 3.6	3.1- 3.6	2.7- 3.0	2.7- 3.0	2.7- 3.0
Was	Interlevel metal insulator (minimum expected) —bulk dielectric constant ( $\kappa$ )	<2.7	<2.4	<2.4	<2.4	<2.1		
Is	Interlevel metal insulator (minimum expected) —bulk dielectric constant ( $\kappa$ )	<3.0	<2.7	<2.7	<2.7	<2.4	<2.4	<2.4

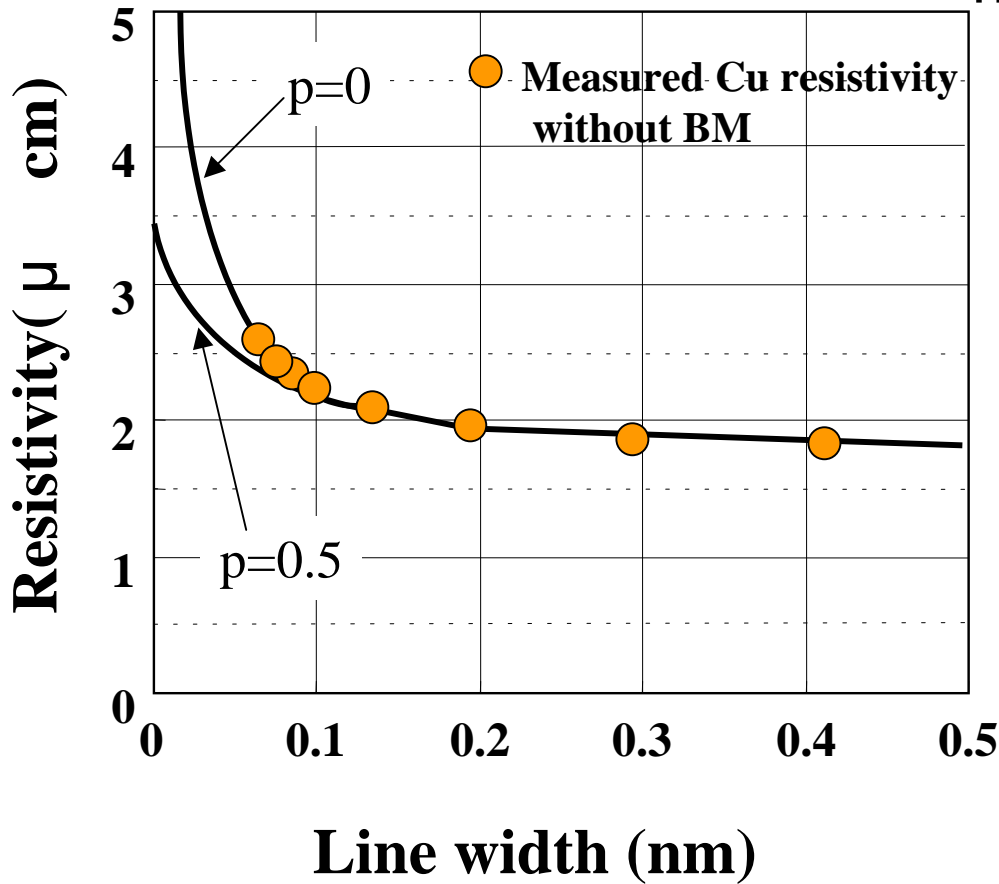
バルク $\kappa$ と等価 $\kappa$ は2002年より緩和された

Cu が引き続き使用される。 - conformal barriers – resistivity

2.2  $\mu\Omega$ -cm

# Cuの抵抗増加が課題

配線幅 < 電子の平均自由行程



表面散乱が支配的  
 $p=0$  (complete diffuse scattering)

$p=1$  (specular scattering)

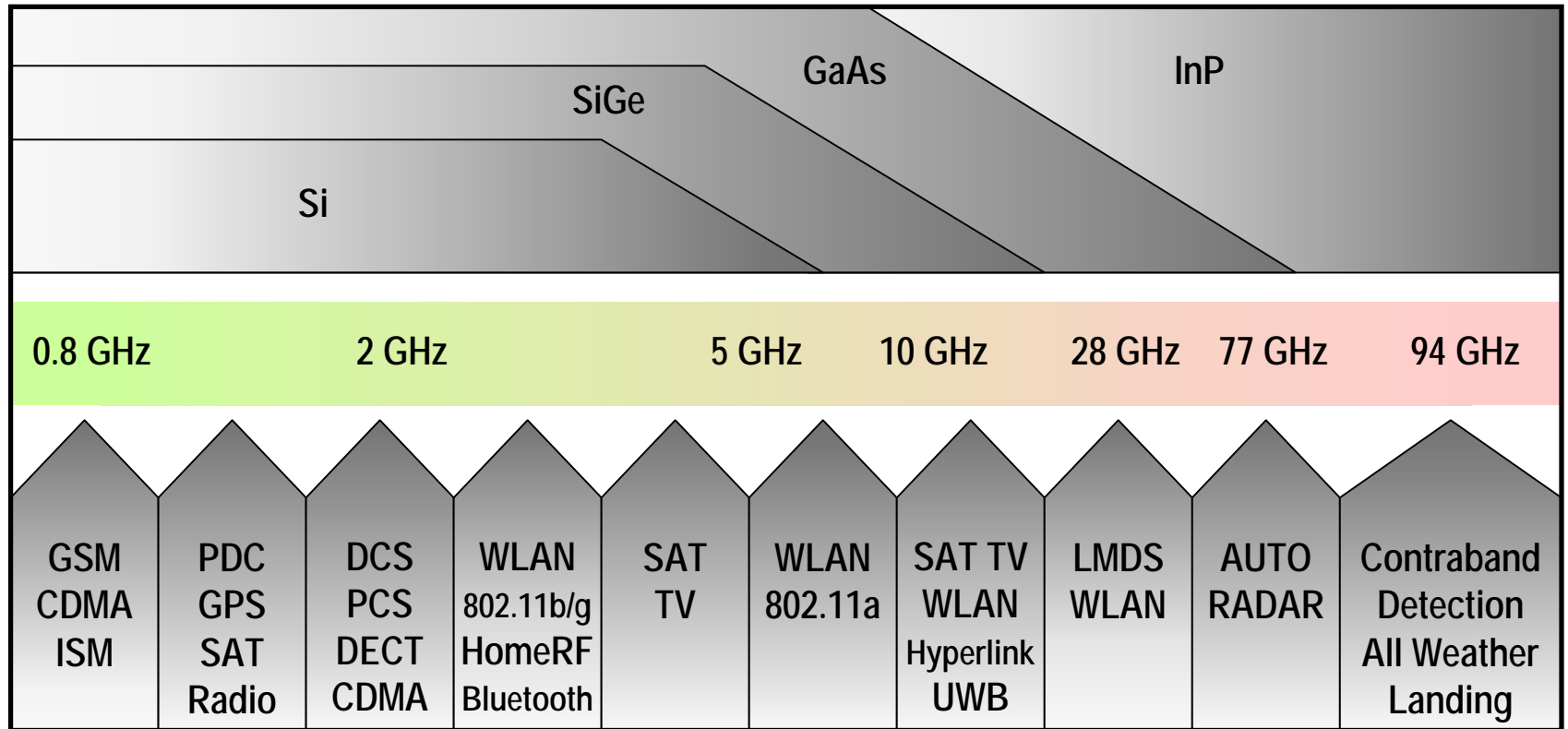
$p$ : fraction of electrons  
having elastic collisions at wire surfaces

バリア金属膜厚が0でも  
抵抗が増大

バリア/Cu 界面の平滑化が  
解か？

# Wireless RF and Analog/Mixed-Signal IC

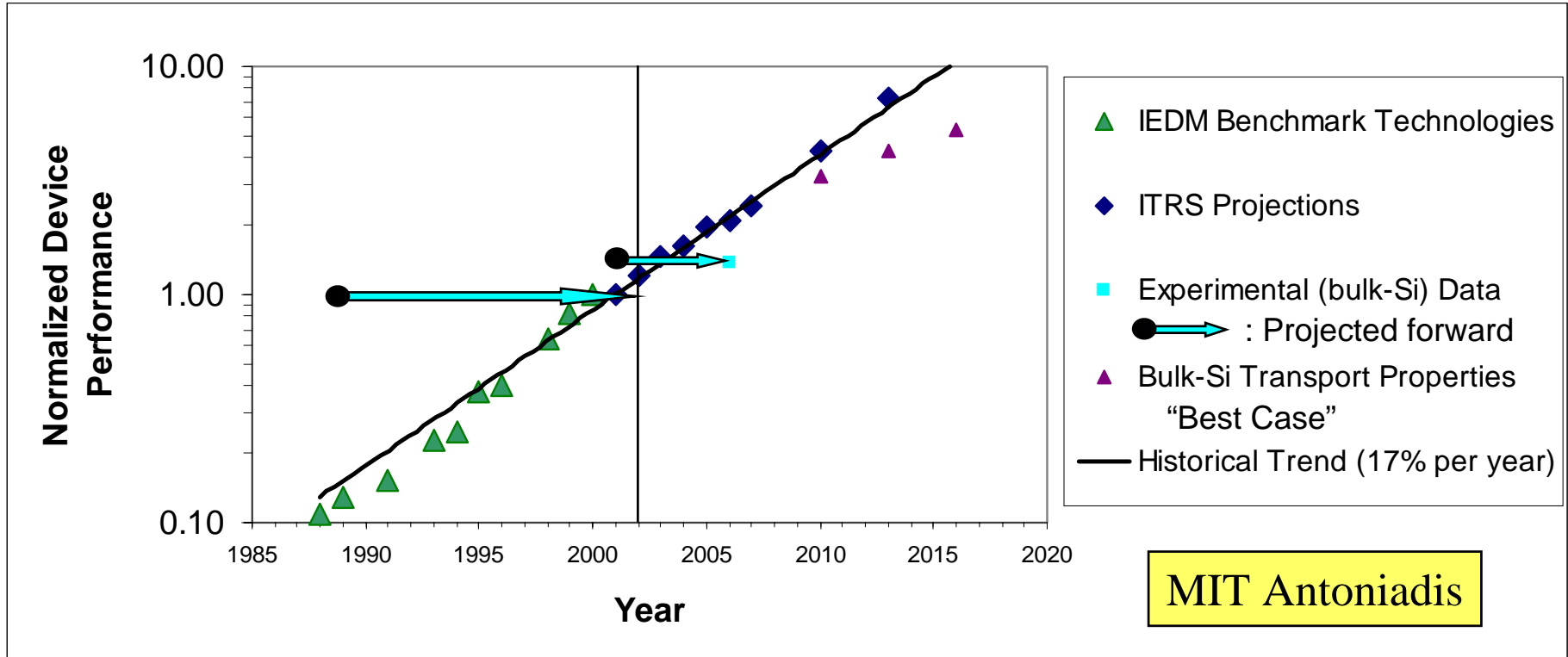
## 応用のスペクトラム



# Emerging Research Devices

## バルク-Siによるデバイスの性能トレンド

過去の CMOS の性能向上のトレンドを将来も実現するには現在のバルクSiが抜本的に進歩しない限り、新しい半導体材料、新素子構造が2008-2010以前に必要である。



# 電荷によるスイッチのスケール限界

## *An Example of Critical Assessment*

### 状況

- ◆ トランジスタのクリティカル寸法は~ 1 nm (2003 ITRS でのphysical gate length は 2018年で7 nm )
- ◆ クリティカル寸法ではなく消費電力密度がゲート密度限界を決める。その値は  $\sim 1 \times 10^9$  gates/cm<sup>2</sup>
- ◆ ITRS での素子密度とスイッチング時間では CMOS は消費電力効率限界に近づいている。

# イマージング技術のシーケンス

Emerging  
Technology  
Vectors

