

# 2003 年版 国際半導体技術ロードマップの概要

JEITA 半導体技術ロードマップ専門委員会

委員長 増原利明

半導体産業は過去 40 年間にわたりムーアの法則により、3 年で面積が半分、あるいは 18 カ月でチップあたりの素子数が 2 倍となるペースで集積度向上を実現し、これによって機能あたりコストが低減されてきた。この結果、IC、LSI はパーソナルコンピュータ、通信機器、家電製品に広く応用されてきた。最近では、モバイル通信機器やユビキタスコンピューティング機器などに代表される通信機能、コンピューティング機能、信号処理機能等を併せて実現する超低電力システム LSI やデジタルネット家電製品用のシステム LSI などに応用範囲が拡大している。「スケーリング則」とも呼ばれる微細化の進展を実現するにはいままでも巨額の研究開発投資を必要としたが、投資額はますます増大している。このため、半導体産業内での企業間の協力のみならず、関連業界全体でのコンソーシアム活動も進展している。

## 2003 年版国際半導体技術ロードマップの概要

2003 年版国際半導体技術ロードマップ (International Technology Roadmap for Semiconductors, 2003 ITRS) が 2003 年 12 月に発表された。2003 年版 ITRS は 2001 年版と同様に、半導体技術に関し 15 年先を見越して主要な技術動向を予測している。過去、DRAM が各世代 3 年で 4 倍の集積度 (ビット/チップ) を実現してきたために ITRS の“技術ノード”の概念は DRAM によって定義されてきた。しかし、最近になって技術ドライバとなる製品が他の製品へ広がり、いくつかの技術パラメータが独立に進歩する傾向が生じてきた。例えば、MPU/ASIC 等の Logic 製品ではゲート長の縮小がハーフピッチの縮小より早いペースで行われてきた。これに対応して 2003 年 ITRS では、技術ノード、DRAM ハーフピッチ、MPU ゲート長に加えて MPU/ASIC Metal 1 ハーフピッチを図 1 のように定義し、主要なパラメータに対して、表 1 のように今後の予測を示した。2003 年時点では DRAM の M1 配線ピッチが最小であるので、技術ノードは DRAM 第一層配線 M1 の配線ピッチの 1/2 (ハーフピッチ) により代表されている。

商用で使われている技術世代を表わす数値が ITRS の技術ノードと異なっているため、半導体産業における最も信頼できる技術標準である ITRS では、リソグラフィパターンニングとエッチングプロセスを含めたプロセス能力を表現する最小配線ピッチによる hpXX という明確な定義を用いて商用の数値と区別することにした。hpXX の数値も表 1 に示されている。

表 1 において ITRS における“生産開始時期”は、ある技術ノードの寸法のデバイスの生産を第一の企業が開始し、第二の企業が 3 ヶ月以内に追従する時期で定義されている。生産とはプロセスおよび製品の認定が終了した時点である。すなわち、顧客が製品の納入を認めたことを意味する。ITRS ではその性格上、半導体産業における最先端の技術導入時期を予測しているが、最先端の企業より導入時期を遅らせる多くの企業があることは明らかである。その結果として実際の半導体生産における工場の技術レベルについては図 2 のような大きな分布が見られる。図 2 は SIA の生産能力統計 SICAS のデータを面積として正規化しプロセス技術ごとに横方向の棒グラフで示したもので、全世界の年毎の実際の工場の生産能力分布を示している。

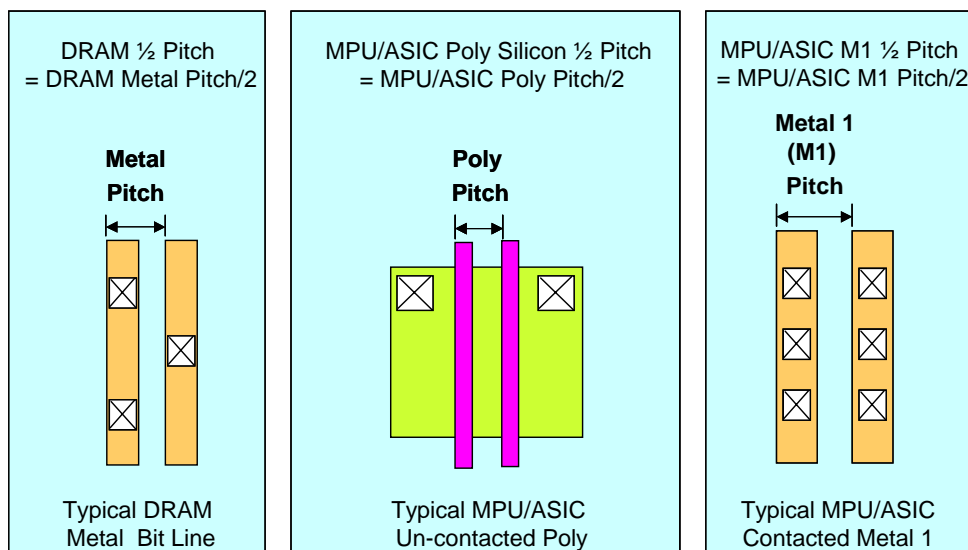


図1 メタルハーフピッチの定義

表1 2003 ITRS の技術ロード表

生産開始年	2003	2004	2005	2006	2007	2008	2009
技術ロード		hp90			hp65		
DRAM ハーフピッチ (nm)	100	90	80	70	65	57	50
MPU/ASIC M1 ハーフピッチ (nm)	120	107	95	85	75	67	60
MPU/ASIC Poly Si ハーフピッチ (nm)	107	90	80	70	65	57	50
MPU リングラフィ後ゲート長 (nm)	65	53	45	40	35	32	28
MPU 物理的ゲート長 (nm)	45	37	32	28	25	22	20

生産開始年	2010	2012	2013	2015	2016	2018
技術ロード	hp45		hp32		hp22	
DRAM ハーフピッチ (nm)	45	35	32	25	22	18
MPU/ASIC M1 ハーフピッチ (nm)	54	42	38	30	27	21
MPU/ASIC Poly Si ハーフピッチ (nm)	45	35	32	25	22	18
MPU リングラフィ後ゲート長 (nm)	25	20	18	14	13	10
MPU 物理的ゲート長 (nm)	18	14	13	10	9	7



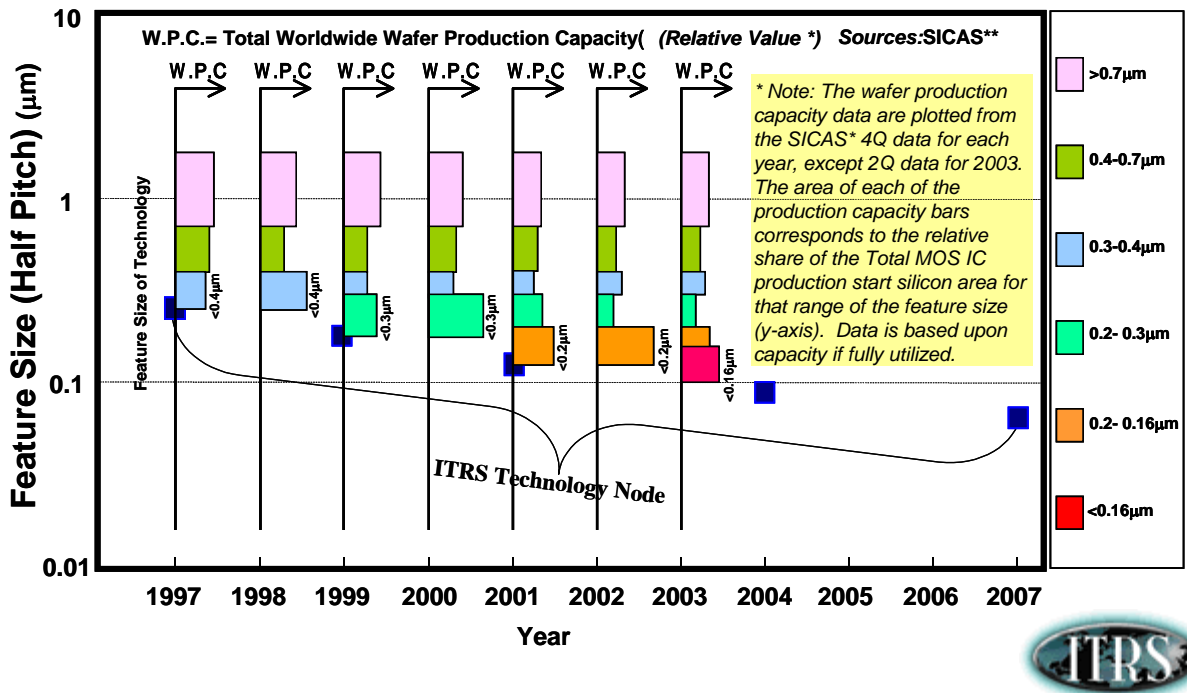


図2 ITRS 技術ノードと実際の生産能力分布の比較

なお、ITRS では、表 2 のように、製造可能な解決策が既知でかつ最適化されている(白)、製造可能な(複数の)解決策がすでに知られている(黄色)、製造可能な解決策が知られていない(赤)、の3種類で技術難度を定義してきた。2003 ITRS においてはこれに加え、製造可能な解決策が知られていないが製造上の障害になっていない“Interim Solutions are Known” (橙色縞にダイア)という技術難度の定義を付け加えた。

表2 ITRS の技術難度の示す指標

<i>Manufacturable Solutions Exist, and Are Being Optimized</i>	
<i>Manufacturable Solutions are Known</i>	黄色
<i>Manufacturable Solutions are NOT Known</i>	赤
<i>Interim Solutions are Known</i>	◆ 橙縞

### 2003 ITRS における主要技術の動向

2003 年版 ITRS では、設計、システムドライバ、テストとテスト装置、プロセス・インテグレーション、デバイス、構造 (PIDS)、フロントエンド・プロセス、リソグラフィ、配線、ファクトリインテグレーション、アセンブリと実装、環境・安全・健康、歩留向上、メトロロジ(計測)、モデリングとシミュレーションについて詳細な技術検討が行われ、改訂されている。限られた紙面では全体を網羅することはできないが、以下にその骨子を示す。

リソグラフィにおいては、ここ数年の液浸リソグラフィの開発の進展に対応して、65nm, 45nm の技術ノードに対して、液浸リソグラフィ (Immersion Lithography) が加えられたほか、リソグラフィフレンドリデザインという表現が新規に加えられた。これは「限界に近づいているリソグラフィに対して裕度を与える設計」を意味している。また、EUV は 45nm 以下の技術ノードに延期され、X-ray と Ion Projection Lithography は削除された。また、32nm に対してはインプリントリソグラフィ (Imprint Lithography) が加えられた。図 3 にこの状況を示す。また、MPU においてゲート長の縮小が急激に行われたため、ゲート CD (クリティカル長) の制御が 2004 年ですでに赤表示となり現実の問題となっている。今年、マスク、リソグラフィ、エッチング加工を含めたフロントエンドプロセスでの CD 制御について議論が行われる予定になっている。また、CD やエッジラフネスでは、計測が大きな課題である。傾斜ビーム SEM、スキャットロメトリ、CD-AFM 等の計測手段があるが孤立ゲート長、密度の高い配線やゲート、コンタクトに対して、ばらつきを含め、どのような加工を保証するかは極めて大きな課題である。

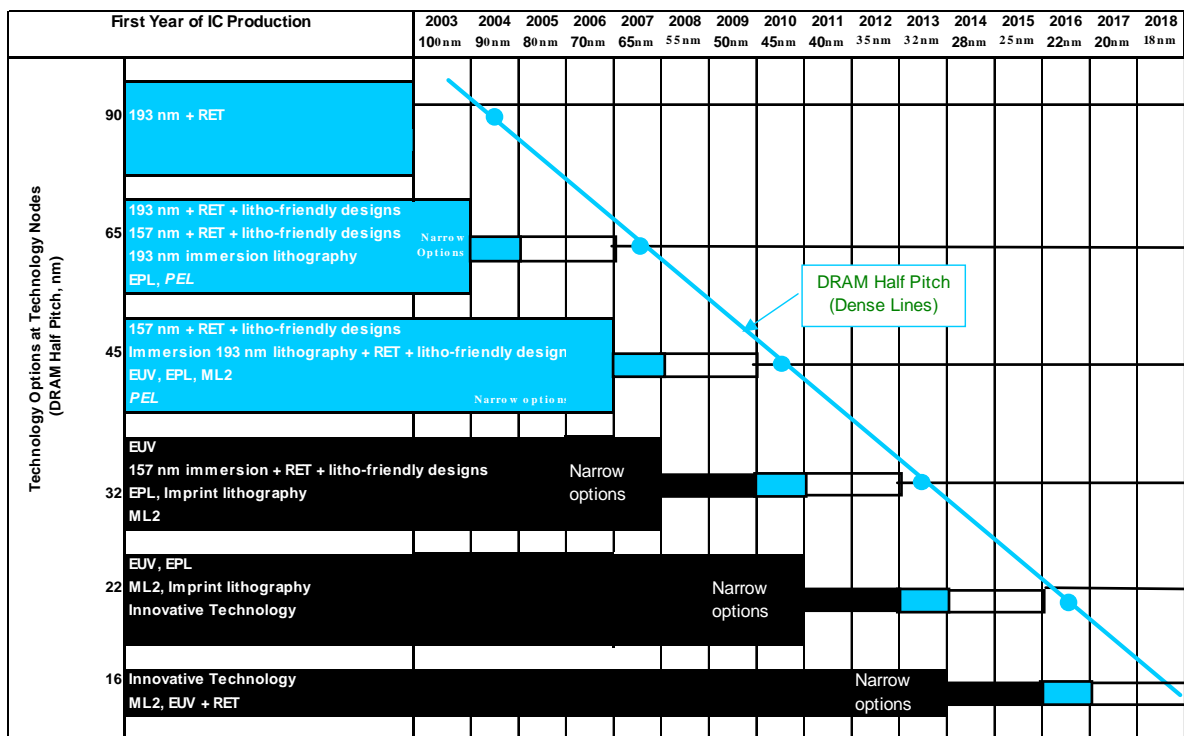


図 3 リソグラフィの必要技術

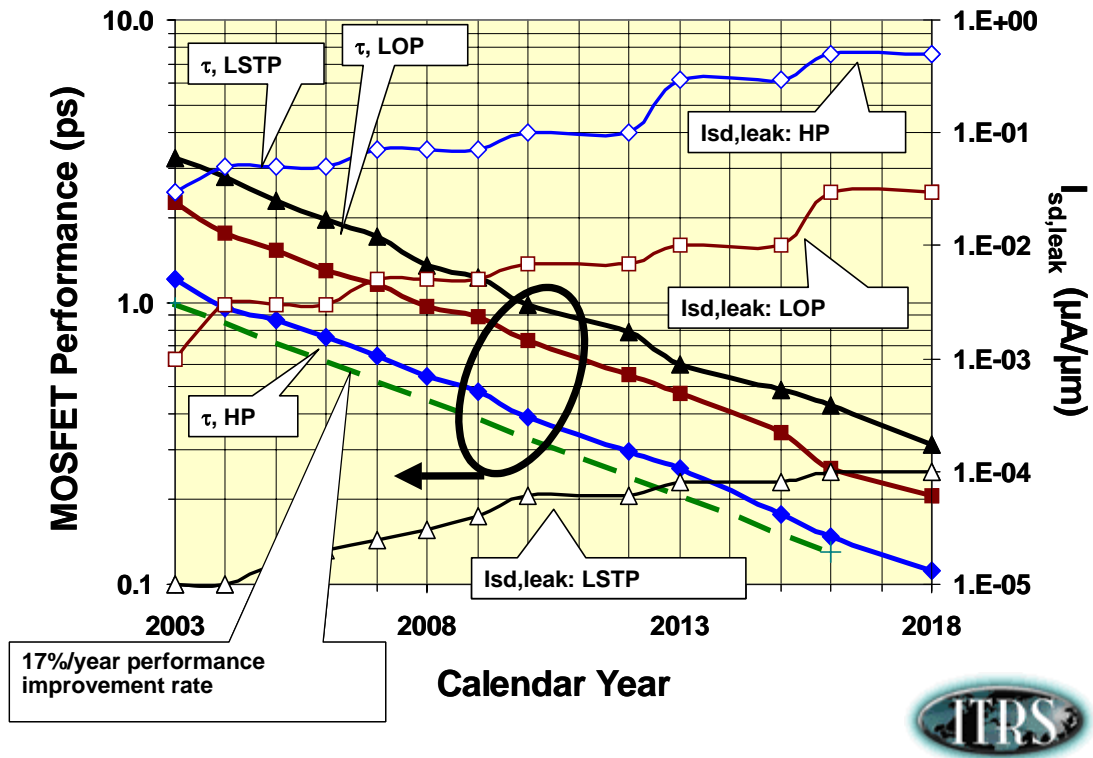


図4 MOSFETの性能向上とソース・ドレインリーク電流

ITRSでは17%/年の遅延時間で表わされるMOSFETの性能の向上を予測してきた。図4は2003年版ITRSにおける今後の予測を示している。いままでのスケーリングにおいては横方向の寸法縮小と縦方向のゲート絶縁膜薄膜化、浅接合化等を行ってきたが、近年の急速なスケーリングに対して、ソース・ドレインリーク電流、ゲートリーク電流を制御することが重要な技術開発課題となっている。このため数値見直しを行った。同時に、新材料の導入が不可欠になっている。移動度向上のためのひずみSiの導入はHP(高性能)MOSFETについては2004年、LOP(低動作電力)、LSTP(低待機時電力)MOSFETについては2008年に必要である。High-kゲート絶縁膜はLOP、LSTPに対して2006年、HPに対して2007年に必要である。また、メタルゲート構造はHPに対して2007年、LOP、LSTPに対して2008年に必要との予測を示している。これらの従来構造のCMOS(Classical CMOS)に加えて、三次元構造などのNon-Planar CMOS、ロジック、メモリ、アーキテクチャなどの新研究段階デバイス(Emerging Research Device)についても記載している。

無線通信用高周波、アナログ混載技術については今後新しい応用として重要性が増している。このため新しい章を設け、2-10GHz(802.11b、802.11a) 28GHz(WLAN)、77GHz(自動車レーダ)、94GHz(全天候着陸)などの応用について、Siと、SiGe、GaAs、InP等の化合物を含むロードマップを今回初めて取り上げた。

配線については2001 ITRSまでは配線構造とLSIモデルが定義されていない問題があった。このため、日本の提案によりこれらを加え、見直しを行った。配線の構造に使われるキャップ、ハードマスク、ビア部分、配線溝の部分のバルクのk値と膜厚を定義し、低電力のSoCをモデルとして再検討を行った結果、図5に示すように $k_{eff}$ は2001 ITRS、2002 ITRS Updateより3年後倒しとなった。配線材料についてはCuが引き続き使用されるが、配線幅の減少とともに表面での散乱が多くなり、抵抗値が増大することが大きな課題となることが指摘されている。

2003年版ITRSは共同してITRS活動を支援している5地域の委員会、欧州EECA、日本JEITA、韓国KSIA、台湾TSIA、および米国SIA、が共同して発表、出版している。これらの組織での共同作業に従事

している専門家の数は図 6 に示す状況である。2003 ITRS や過去の版は、すべて電子ドキュメントとしてホームページ <http://public.itrs.net> から閲覧できるようになっている。

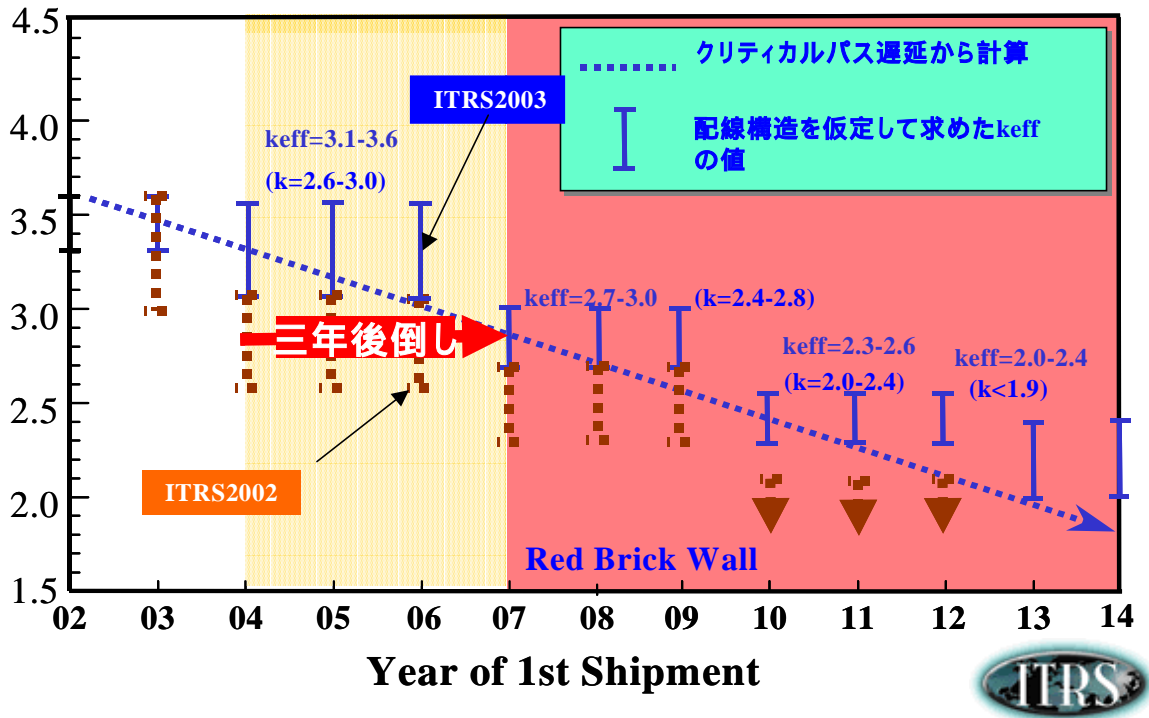


図 5 配線 keff 値のロードマップの 2002 Update との比較

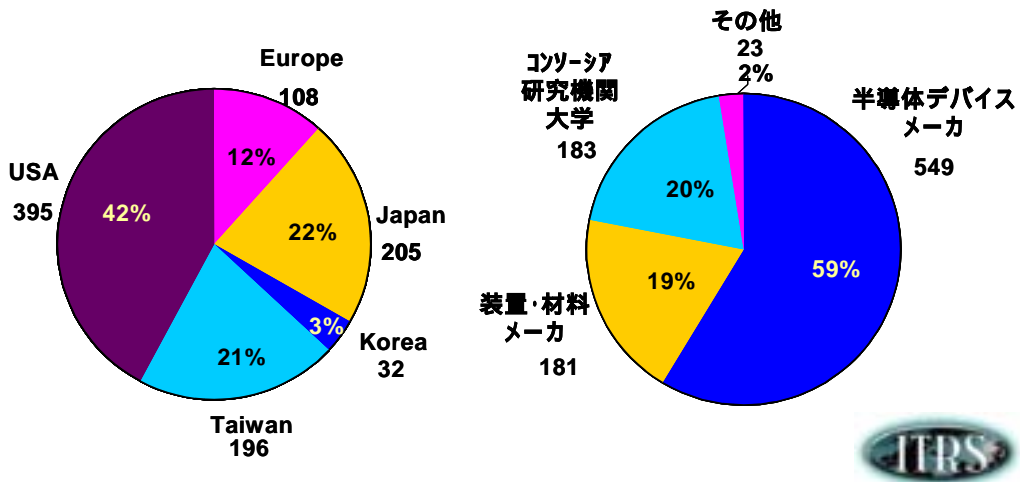


図 6 ITRS に貢献している各地域の技術専門家の分布

(JEITA Review 2004 年 5 月号に掲載された記事を転載しました)